

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216327

(43)Date of publication of application : 04.08.2000

(51)Int. Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-014668

(71)Applicant : NEC CORP

(22)Date of filing : 22.01.1999

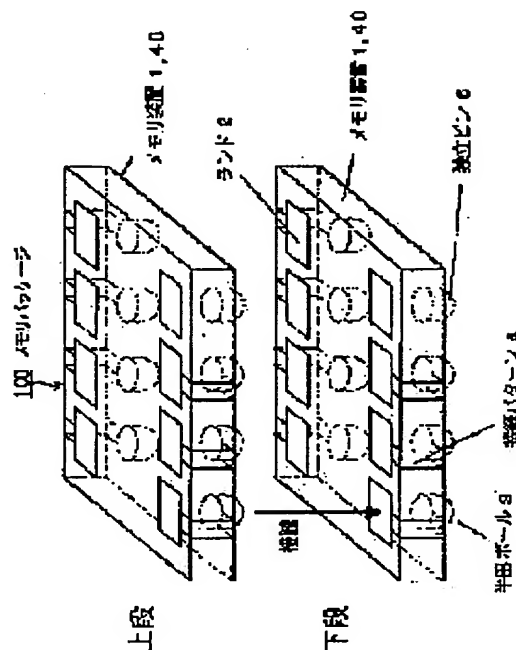
(72)Inventor : ODA TOSHIAKI

(54) MEMORY PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory package, wherein the memory capacity of at least, twice with the same mounting area as single-stage mounting is realized, and two different memory functions are realized on the same area as the single-stage mounting for upper or lower part.

SOLUTION: A land provided on a device placement surface of a memory device such as an ROM functional type memory core is mounted or a memory device such as an RAM functional type memory core is mounted. The memory device, where ROM functional type memory core is mounted or the memory device where RAM functional type memory core is mounted is mounted on the land as in two-stack form, and an internal circuit is provided which controls, so that the address regions of the memory device where ROM functional type memory core is mounted or the memory device where RAM functional type memory core is mounted at upper part/lower part do not overlap.



LEGAL STATUS

[Date of request for examination]

25.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3228257

[Date of registration]

07.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-216327
(P2000-216327A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int. CL ⁷	識別記号	FI	チーコード* (参考)
H01L 25/065		H01L 25/08	B
25/07			
25/18			

審査請求 有 請求項の数 11 O L (全 11 頁)

(21) 出願番号 特願平11-14668

(22) 出願日 平成11年1月22日 (1999.1.22)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 小田 利明

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100097113

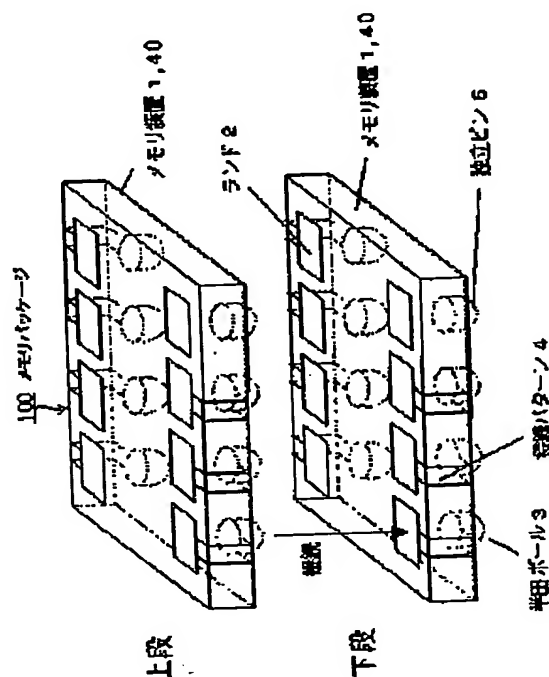
弁理士 堀 城之

(54) 【発明の名称】 メモリパッケージ

(57) 【要約】

【課題】 本発明は、1段実装時と同じ実装面積で2倍以上のメモリ容量を実現でき、上部または下部の1段実装時と同じ面積上に異なる2つのメモリ機能を実現できるメモリパッケージを提供することを課題とする。

【解決手段】 ROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置の装置載置面にランドを設け、ランド上に更にROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置を2段立て積みに実装できるようにし、かつ上部/下部のROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置のアドレス領域が重ならないような制御を実行する内部回路を設ける。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 1段実装時と同じ実装面積で2倍以上のメモリ容量を実現でき、1段実装時と同じ面積上に異なる2つのメモリ機能を実現できるメモリパッケージであって、

装置載置面の所定位置に形成されたランドと、当該ランドに対して底面上で1対1に会合可能な対向位置に形成された接続ピンとを備えた複数のメモリ装置を有し、前記メモリ装置を上下2段重ねにする場合に、上部の前記メモリ装置の底面に形成された前記接続ピンと下部の前記メモリ装置の前記装置載置面の所定位置に形成された前記ランドとが1対1に会合して接続可能となるように構成されていることを特徴とするメモリパッケージ。

【請求項2】 前記装置載置面の所定位置に形成されたランドと、当該ランドに対して底面上で1対1に会合可能な対向位置に形成された接続ピンとが、導電性の接続パターンを介して1対1に接続されていることを特徴とする請求項1に記載のメモリパッケージ。

【請求項3】 前記メモリ装置がボールグリッドアレイパッケージ形態を用いて構成されていることを特徴とする請求項1に記載のメモリパッケージ。

【請求項4】 前記上下2段重ねにされるメモリ装置は、同一のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成する際に、当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージ。

【請求項5】 前記上下2段重ねにされるメモリ装置は、少なくとも2種類以上のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成する際に、当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージ。

【請求項6】 前記上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置し前記下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置して当該上部のメモリ装置でアドレス可能なメモリコア及び当該下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して前記合成論理メモリ空間を形成するとともに、当該合成論理メモリ

空間に基づいて当該上部のメモリ装置のメモリコア及び／または当該下部のメモリ装置のメモリコアに対してメモリアクセスを実行する制御回路を有することを特徴とする請求項4または5に記載のメモリパッケージ。

【請求項7】 前記上下2段重ねにされるメモリ装置は、同一のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成するためのチップセレクト信号ピンおよび予備アドレス信号ピンを備え、当該チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに応じて当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージ。

【請求項8】 前記上下2段重ねにされるメモリ装置は、少なくとも2種類以上のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成するためのチップセレクト信号ピンおよび予備アドレス信号ピンを備え、当該チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに応じて当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージ。

【請求項9】 前記チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに基づいて、前記上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置し前記下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置して当該上部のメモリ装置でアドレス可能なメモリコア及び当該下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して前記合成論理メモリ空間を形成するとともに、当該チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに基づいて当該上部のメモリ装置のメモリコア及び／または当該下部のメモリ装置のメモリコアに対してメモリアクセスを実行する制御回路を有することを特徴とする請求項7または8に記載のメモリパッケージ。

【請求項10】 前記メモリコアがROM機能を備えたメモリコアであることを特徴とする請求項1乃至9のいずれか一項に記載のメモリパッケージ。

【請求項11】 前記メモリコアがRAM機能を備えたメモリコアであることを特徴とする請求項1乃至9のい

ずれか一項に記載のメモリパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ技術に係り、特に1段実装時と同じ実装面積で2倍以上のメモリ容量を実現でき、1段実装時と同じ面積上に異なる2つのメモリ機能を実現できるメモリパッケージに関する。

【0002】

【従来の技術】近年の携帯端末などでは小型化とともに高機能化が要求され、より小さい面積の実装基板上により多くの機能を実現する必要性が生じている。高機能を実現するためには、メモリ装置の高容量化、多機能化が必要となる場合が多い。図7は従来技術のメモリ装置の回路図である。例えば、半導体集積回路として実現されるメモリ装置62（ROM（読み出し専用メモリ）やRAM（随時書き込み読み出しメモリ）を、BGA（Ball Grid Array：ボールグリッドアレイ）パッケージ等の形態を用いてメモリパッケージを作成する場合、通常の1つのメモリ装置62を1つのパッケージ内に樹脂モールドして、制御回路61と接続していた。

【0003】

【発明が解決しようとする課題】しかしながら、携帯端末などでは実装面積が小さいために、複数のメモリ装置62を平面的に実装できないという問題が従来技術にはあった。また、装置の機能アップ等により従来から搭載しているメモリ装置62の容量が足りなくなった場合、面積的に追加のメモリ装置62を実装可能な場合でも、実装基板を全面的に改版しなければならないという問題もあった。

【0004】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、1段実装時と同じ実装面積で2倍以上のメモリ容量を実現でき、1段実装時と同じ面積上に異なる2つのメモリ機能を実現できるメモリパッケージを提供する点にある。

【0005】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、1段実装時と同じ実装面積で2倍以上のメモリ容量を実現でき、1段実装時と同じ面積上に異なる2つのメモリ機能を実現できるメモリパッケージであって、装置載置面の所定位置に形成されたランドと、当該ランドに対して底面上で1対1に会合可能な対向位置に形成された接続ピンとを備えた複数のメモリ装置を有し、前記メモリ装置を上下2段重ねにする場合に、上部の前記メモリ装置の底面に形成された前記接続ピンと下部の前記メモリ装置の前記装置載置面の所定位置に形成された前記ランドとが1対1に会合して接続可能となるように構成されていることを特徴とするメモリパッケージに存する。また本発明の請求項2に記載の要旨は、前

記装置載置面の所定位置に形成されたランドと、当該ランドに対して底面上で1対1に会合可能な対向位置に形成された接続ピンとが、導電性の接続パターンを介して1対1に接続されていることを特徴とする請求項1に記載のメモリパッケージに存する。また本発明の請求項3に記載の要旨は、前記メモリ装置がボールグリッドアレイパッケージ形態を用いて構成されていることを特徴とする請求項1に記載のメモリパッケージに存する。また本発明の請求項4に記載の要旨は、前記上下2段重ねにされるメモリ装置は、同一のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成する際に、当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージに存する。また本発明の請求項5に記載の要旨は、前記上下2段重ねにされるメモリ装置は、少なくとも2種類以上のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成する際に、当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージに存する。また本発明の請求項6に記載の要旨は、前記上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置し前記下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置して当該上部のメモリ装置でアドレス可能なメモリコア及び当該下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して前記合成論理メモリ空間を形成するとともに、当該合成論理メモリ空間に基づいて当該上部のメモリ装置のメモリコア及び/または当該下部のメモリ装置のメモリコアに対してメモリアクセスを実行する制御回路を有することを特徴とする請求項4または5に記載のメモリパッケージに存する。また本発明の請求項7に記載の要旨は、前記上下2段重ねにされるメモリ装置は、同一のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成するためのチップセレクト信号ピンおよび予備アドレス信号ピンを備え、当該チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに応じて当該上部のメモリ装置でアドレス可能なメモリコアを合成

論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージに存する。また本発明の請求項8に記載の要旨は、前記上下2段重ねにされるメモリ装置は、少なくとも2種類以上のメモリ機能を有するメモリコアを備え、当該上部のメモリ装置でアドレス可能なメモリコア及び下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して合成論理メモリ空間を形成するためのチップセレクト信号ピンおよび予備アドレス信号ピンを備え、当該チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに応じて当該上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置するとともに、当該下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置するように構成されていることを特徴とする請求項1乃至3のいずれか一項に記載のメモリパッケージに存する。また本発明の請求項9に記載の要旨は、前記チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに基づいて、前記上部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の上部に配置し前記下部のメモリ装置でアドレス可能なメモリコアを合成論理メモリ空間の下部に配置して当該上部のメモリ装置でアドレス可能なメモリコア及び当該下部のメモリ装置でアドレス可能なメモリコアを論理的に合成して前記合成論理メモリ空間を形成するとともに、当該チップセレクト信号ピンおよび予備アドレス信号ピンに与える論理レベルに基づいて当該上部のメモリ装置のメモリコア及び/または当該下部のメモリ装置のメモリコアに対してメモリアクセスを実行する制御回路を有することを特徴とする請求項7または8に記載のメモリパッケージに存する。また本発明の請求項10に記載の要旨は、前記メモリコアがROM機能を備えたメモリコアであることを特徴とする請求項1乃至9のいずれか一項に記載のメモリパッケージに存する。また本発明の請求項11に記載の要旨は、前記メモリコアがRAM機能を備えたメモリコアであることを特徴とする請求項1乃至9のいずれか一項に記載のメモリパッケージに存する。

【0006】

【発明の実施の形態】（第1実施形態）以下に示す第1実施形態の特徴は、半導体集積回路として実現されるROM機能型のメモリコア11（後述）を搭載したメモリ装置1、及びメモリパッケージ100において、BGA（Ball Grid Array：ボールグリッドアレイ）パッケージ等の形態を用いたROM（読み出し専用メモリ）機能型のメモリコア11を搭載したメモリ装置1を縦積み（1段重ねまたは3段重ね以上も可）にして実装してメモリパッケージ100を構成することにより、1段実装時と同じ実装面積で2倍以

上のメモリ容量を実現できることである。

【0007】図1において、ROM機能型のメモリコア11を搭載したメモリ装置1は従来より有るBGAパッケージに加えてパッケージ上面（装置載置面）にランド2を有し、一部の接続ピン（独立ピン5）を除くすべての接続ピンについて、下部のROM機能型のメモリコア11を搭載したメモリ装置1の上面（装置載置面）のランド2と上部のROM機能型のメモリコア11を搭載したメモリ装置1の底面の対向位置にある半田ボール3とが接続パターン4を介して1対1に電気的に接続されている。

【0008】図1に示されるように、同じパッケージ形態を有する2段縦積み（1段または3段以上の縦積みも可）したROM機能型のメモリコア11を搭載したメモリ装置1を上下部（上段及び下段）に上下2段重ね（1段重ねまたは3段重ね以上も可）にし、上部のROM機能型のメモリコア11を搭載したメモリ装置1の半田ボール3と下部のROM機能型のメモリコア11を搭載したメモリ装置1のランド2とを1対1に接続して実装することにより、1段のみの実装時と同じ実装面積で2倍以上のメモリ容量が実現できる。以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0009】図1は、第1実施形態にかかるROM機能型のメモリコア11を搭載したメモリ装置1、及びROM機能型のメモリコア11を搭載したメモリ装置1が上下に重畳されて成るメモリパッケージ100のイメージ図である。第1実施形態のROM機能型のメモリコア11を搭載したメモリ装置1はBGAパッケージの形態をとり、底面に半田ボール3を有して各接続ピンの接続を実現している。さらに加えて、ROM機能型のメモリコア11を搭載した下部のメモリ装置1の上面（装置載置面）には、ROM機能型のメモリコア11を搭載した上部に重畳するメモリ装置1に設けられている半田ボール3と対向した位置に、ROM機能型のメモリコア11を搭載した上部に重畳するメモリ装置1の半田ボール3と1対1にランド2が設けられている。また、上部またはROM機能型のメモリコア11を搭載した下部のメモリ装置1における一部の接続ピン（独立ピン5）を除いたすべてのピンについて、導電性の接続パターン4を介して底面の半田ボール3と上面（装置載置面）のランド2とが1対1に電気的に接続されている。第1実施形態のメモリパッケージ100は、図1に示すように、ROM機能型のメモリコア11を搭載したメモリ装置1を上下2段重ね（1段重ねまたは3段重ね以上も可）にした場合、上部のROM機能型のメモリコア11を搭載したメモリ装置1の半田ボール3とROM機能型のメモリコア11を搭載した下部のメモリ装置1のランド2とが1対1に会合して接続可能となるような構造を備えている。

【0010】図2は、ROM機能型のメモリコア11を搭載した図1のメモリ装置1の内部回路構成を示す回路

図である。ROM機能型のメモリコア11を搭載したメモリ装置1は、少なくとも、 m ビット長のアドレス信号 $A(m-1:0)$ 、 n ビット長のデータ信号 $D(n-1:0)$ 、チップセレクト信号 CS に加え、1ビット長の予備アドレス信号 $A(m)$ 、セレクト信号 SEL 用のピン、ROM機能を有するROM機能型のメモリコア11、プルアップ抵抗12、EXOR回路13、AND回路14を有している。また、予備アドレス信号 $A(m)$ とセレクト信号 SEL とをEXOR回路13に入力して論理演算した結果とチップセレクト信号 CS とをAND回路14で論理演算し、その論理演算結果をチップセレクト信号としてROM機能型のメモリコア11の CS 端子に入力し、アドレス信号 $A(m-1:0)$ をアドレス信号としてROM機能型のメモリコア11の $A(m-1:0)$ 端子に入力し、データ信号 $D(n-1:0)$ をデータ信号としてROM機能型のメモリコア11の $D(n-1:0)$ 端子に入力するような回路構成となっている。ROM機能型のメモリコア11は従来から有るROM機能型のメモリコア11と同等の機能を有するもので、少なくとも m ビット長のアドレス信号 $A(m-1:0)$ 、 n ビット長のデータ信号 $D(n-1:0)$ 、及びチップセレクト信号 CS に応じて $2^m \times n$ ビット長のデータの読み出し制御を行う回路構成となっている。セレクト信号 SEL は、第1実施形態ROM機能型のメモリコア11を搭載したメモリ装置1を縦積み(上下2段重ね(1段重ねまたは3段重ね以上も可)で実装したときに、ROM機能型のメモリコア11を搭載したメモリ装置1の各々の動作アドレス領域を区別するための信号で、図1で示した独立ピン5に接続されており、下面の半田ボール3と上面(装置載置面)のランド2は接続されていない。予備アドレス信号 $A(m)$ は、アドレス領域を2倍に増やすための追加アドレスである。

【0011】今、セレクト信号 SEL が論理値 L (接地電位 GND)に固定された場合、予備アドレス信号 $A(m)$ が論理値 L (接地電位 GND)であればチップセレクト信号 CS がROM機能型のメモリコア11に入力され、予備アドレス信号 $A(m)$ が論理値 H (電源電位 V_{DD})であれば CS 端子への入力が禁止される。また、 SEL 端子が $open$ (論理値 H (電源電位 V_{DD}))の場合、予備アドレス信号 $A(m)$ が論理値 H (電源電位 V_{DD})であればチップセレクト信号 CS がROM機能型のメモリコア11に入力され、予備アドレス信号 $A(m)$ が論理値 L (接地電位 GND)であれば CS 端子への入力が禁止される構成となっている。

【0012】次に、第1実施形態のメモリパッケージ100について図3、図4を参照して説明する。図3は、図2のROM機能型のメモリコア11を搭載した図1のメモリ装置1を1段のみ実装したメモリパッケージ100の接続図である。図3の回路は、制御回路21がチップセレクト信号 CS 及びアドレス信号 $A(m-1:0)$

を生成して図2のROM機能型のメモリコア11に出力し、図2のROM機能型のメモリコア11がこれに応じたデータ信号 $D(n-1:0)$ を制御回路21に出力するような回路構成となっている。制御回路21は、少なくとも $2^m \times n$ ビット長のROM機能型のメモリコア11を制御できる機能を有している。また、セレクト信号 SEL と予備アドレス信号 $A(m)$ は、論理値 L (接地電位 GND)に固定されている。ROM機能型のメモリコア11を搭載したメモリ装置1では、セレクト信号 SEL が論理値 L (接地電位 GND)に固定された場合、予備アドレス信号 $A(m)$ が論理値 L (接地電位 GND)であればチップセレクト信号 CS がROM機能型のメモリコア11の CS 端子に入力され、予備アドレス信号 $A(m)$ が論理値 H (電源電位 V_{DD})であればROM機能型のメモリコア11の CS 端子への入力が禁止されるように構成されている。本実施形態では、予備アドレス信号 $A(m)$ が論理値 L (接地電位 GND)に固定されているので、チップセレクト信号 CS がチップセレクト信号 CS がROM機能型のメモリコア11の CS 端子に入力され、一般的な $2^m \times n$ ビット長のROM機能型のメモリコア11として動作する。

【0013】図4は、図2のROM機能型のメモリコア11を搭載した図1のメモリ装置1を2段縦積み(1段または3段以上の縦積みも可)にしたメモリパッケージ100の接続図である。図4のメモリパッケージ100では、ROM機能型のメモリコア11を搭載したメモリ装置1(下部のメモリ装置1)の上に、ROM機能型のメモリコア11を搭載した上部のメモリ装置1を単純に縦積み(上下2段重ね)で実装し、ROM機能型のメモリコア11を搭載した下部のメモリ装置1及びROM機能型のメモリコア11を搭載した上部のメモリ装置1のそれぞれに1ビット長のチップセレクト信号 CS 、 m ビット長のアドレス信号 $A(m-1:0)$ 、1ビット長の予備アドレス信号 $A(m)$ 、 n ビット長のデータ信号 $D(n-1:0)$ が接続パターン4によって互いに共通接続されている。チップセレクト信号 CS 、アドレス信号 $A(m-1:0)$ 、予備アドレス信号 $A(m)$ 、及びデータ信号 $D(n-1:0)$ はさらに制御回路31に接続されている。制御回路31は、少なくとも制御回路21の2倍以上の容量のROM機能型のメモリコア11を制御できる機能を有している。また、ROM機能型のメモリコア11を搭載した下部のメモリ装置1のセレクト信号 SEL は論理値 L (接地電位 GND)に接続され、ROM機能型のメモリコア11を搭載した上部のメモリ装置1の SEL 端子は $open$ となっている。

【0014】このような接続構成を備えた図4のメモリパッケージ100では、予備アドレス信号 $A(m)$ に論理値 L (接地電位 GND)が入力されると、ROM機能型のメモリコア11を搭載した下部のメモリ装置1のメモリコア11に対してはチップセレクト信号 CS が入力

され、ROM機能型のメモリコア11を搭載した上部のメモリ装置1のメモリコア11に対してはCS端子への入力が禁止される。一方、予備アドレス信号A(m)に論理値H(電源電位 V_{DD})が入力されると、ROM機能型のメモリコア11を搭載した上部のメモリ装置1のメモリコア11に対してチップセレクト信号CSが入力され、ROM機能型のメモリコア11を搭載した下部のメモリ装置1のメモリコア11に対してCS端子への入力が禁止される。換言すれば、予備アドレス信号A

(m)が論理値L(接地電位GND)の時にROM機能型のメモリコア11を搭載した下部のメモリ装置1が $2^m \times n$ ビット長のROM読み出し動作を行い、予備アドレス信号A(m)が論理値H(電源電位 V_{DD})の時にROM機能型のメモリコア11を搭載した上部のメモリ装置1が $2^m \times n$ ビット長のROM読み出し動作を行うことになり、予備アドレス信号A(m)を最上位ビットと見立てれば、上部のメモリ装置1からの $2^m \times n$ ビット長のデータ信号D(n-1:0)と下部のメモリ装置1からの $2^m \times n$ ビット長のデータ信号D(n-1:0)とを合わせて $2^{m+1} \times n (= 2^m \times n + 2^m \times n)$ ビット長のROM機能型のメモリコア11が実現できるのと等価になる。従って第1実施形態によれば、2段縦積み(1段または3段以上の縦積みも可)に2段縦積み(1段または3段以上の縦積みも可)したROM機能型のメモリコア11を搭載したメモリ装置1を実装することにより、従来と同じ実装面積で2倍以上のROM容量を実現できることになる。

【0015】以上説明したように、第1実施形態の効果は、従来と同じ実装面積で従来に比べて2倍以上のメモリ容量を実現できることである。その理由は、図1に示すように、ROM機能型のメモリコア11を搭載したメモリ装置1のパッケージ上面(装置載置面)にランド2を設け、ランド2上にさらにROM機能型のメモリコア11を搭載したメモリ装置1を2段縦積み(1段または3段以上の縦積みも可)に実装できるようにし、かつROM機能型のメモリコア11を搭載した上部のメモリ装置1のアドレス領域とROM機能型のメモリコア11を搭載した下部のメモリ装置1のアドレス領域が重ならないような制御を実行する内部回路をROM機能型のメモリコア11を搭載したメモリ装置1に設けたためである。

【0016】(第2実施形態)次に、本発明の第2実施形態について図面を参照して説明する。以下に示す第2実施形態の特徴は、半導体集積回路として実現されるROM(読み出し専用メモリ)機能型のメモリコア11を搭載したメモリ装置1及びRAM(随時書き込み読み出しメモリ)機能型のメモリコア41(後述)を搭載したメモリ装置40、及びメモリパッケージ100において、BGAパッケージ等の形態を用いたROM機能型のメモリコア11を搭載したメモリ装置1及びRAM機能

型のメモリコア41を搭載したメモリ装置40の2種類以上を縦積み(上下2段重ね(1段重ねまたは3段重ね以上も可))にして実装してメモリパッケージ100を構成することにより、1段実装時と同じ実装面積で2倍以上のメモリ容量を実現でき、さらに加えて、1段実装時と同じ面積上に、異なる2つのメモリ機能(RAM機能とROM機能)を実現できることである。

【0017】図1、6に示すように、ROM機能型のメモリコア11を搭載したメモリ装置1及びRAM機能型のメモリコア41を搭載したメモリ装置40は従来より有るBGAパッケージに加えてパッケージ上面(装置載置面)にランド2を有し、一部の接続ピン(独立ピン5)を除くすべての接続ピンについて、下部のRAM機能型のメモリコア41を搭載したメモリ装置40の上面(装置載置面)のランド2と上部のROM機能型のメモリコア11を搭載したメモリ装置1の底面の対向位置にある半田ボール3とが接続パターン4を介して1対1に電気的に接続されている。

【0018】図1、6に示すように、同じパッケージ形態を有する2段縦積み(1段または3段以上の縦積みも可)したROM機能型のメモリコア11を搭載したメモリ装置1及びRAM機能型のメモリコア41を搭載したメモリ装置40を上下に上下2段重ね(1段重ねまたは3段重ね以上も可)にし、上部のROM機能型のメモリコア11を搭載したメモリ装置1の半田ボール3と下部のRAM機能型のメモリコア41を搭載したメモリ装置40のランド2とを1対1に接続して実装することにより、1段のみの実装時と同じ実装面積で2倍以上のメモリ容量が実現できたり、また、上下に異なるメモリ機能(RAM機能とROM機能など)のメモリコア11、41を用いた場合、1段のみの実装時と同じ実装面積で2種類以上のメモリ機能を実現することができる。以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0019】図1は、本発明にかかるROM機能型のメモリコア11を搭載したメモリ装置1及びRAM機能型のメモリコア41を搭載したメモリ装置40、及びROM機能型のメモリコア11を搭載したメモリ装置1及びRAM機能型のメモリコア41を搭載したメモリ装置40が上下に重畳されて成るメモリパッケージ100のイメージ図である。ここでは一例として、上部のメモリ装置をROM機能型のメモリコア11を搭載したメモリ装置1、下部のメモリ装置をRAM機能型のメモリコア41を搭載したメモリ装置40として説明を進める。本発明のROM機能型のメモリコア11を搭載した上部のメモリ装置1及びRAM機能型のメモリコア41を搭載した下部のメモリ装置40のそれぞれはBGAパッケージの形態を有し、底面に半田ボール3を有して各接続ピンの接続を実現している。さらに加えて、RAM機能型のメモリコア41を搭載した下部のメモリ装置40の上面(装置載置面)には、上部に重畳するROM機能型のメ

11

メモリコア11を搭載したメモリ装置1に設けられている半田ボール3と対向した位置に、上部に配置するROM機能型のメモリコア11を搭載したメモリ装置1の半田ボール3と1対1にランド2が設けられている。

【0020】本発明のメモリパッケージ100は、図1に示すように、ROM機能型のメモリコア11を搭載した上部のメモリ装置1及びRAM機能型のメモリコア41を搭載した下部のメモリ装置40を上下2段重ね（1段重ねまたは3段重ね以上も可）にした場合、RAM機能型のメモリコア41を搭載した下部のメモリ装置40の半田ボール3とROM機能型のメモリコア11を搭載した上部のメモリ装置1のランド2とが1対1に会合して接続可能となるような構造を備えている。

【0021】また、ROM機能型のメモリコア11を搭載した上部のメモリ装置1及びRAM機能型のメモリコア41を搭載した下部のメモリ装置40における一部の接続ピン（独立ピン5）を除いたすべてのピンは、導電性の接続パターン4を介して底面の半田ボール3と上面（装置載置面）のランド2とが1対1に電気的に接続されている。

【0022】図5はRAM機能型のメモリコアを搭載した図1のメモリ装置の内部回路構成を示す回路図である。RAM機能型のメモリコア41を搭載したメモリ装置40は、少なくとも、 m ビット長のアドレス信号 $A(m-1:0)$ 、 n ビット長のデータ信号 $D(n-1:0)$ 、チップセレクト信号 CS に加え、1ビット長の予備アドレス信号 $A(m)$ 、セレクト信号 SEL 、RAM用のライトイネーブル信号 WE 用のピン、RAM機能型のメモリコア41、プルアップ抵抗42、EXOR回路43、AND回路44を有している。また、予備アドレス信号 $A(m)$ とセレクト信号 SEL とをEXOR回路43に入力して論理演算した結果とチップセレクト信号 CS とをAND回路44で論理演算し、その論理演算結果をチップセレクト信号としてRAM機能型のメモリコア41の CS 端子に入力し、アドレス信号 $A(m-1:0)$ をアドレス信号としてRAM機能型のメモリコア41の $A(m-1:0)$ 端子に入力し、データ信号 $D(n-1:0)$ をデータ信号としてRAM機能型のメモリコア41の $D(n-1:0)$ 端子に入力し、RAM用のライトイネーブル信号 WE をRAM機能型のメモリコア41の WE 端子に入力用するような回路構成となっている。

【0023】図6は、図2のROM機能型のメモリコア11を搭載した上部のメモリ装置1及び図5のRAM機能型のメモリコア41を搭載した下部メモリ装置40を上下2段重ね（1段重ねまたは3段重ね以上も可）にしたメモリパッケージ100の接続図である。本実施形態においては、前述のROM機能型のメモリコア11の機能に加えて、RAM機能を同時に実現する場合であって、第1実施形態の図1のROM機能型のメモリコア1

12

1を搭載した下部のメモリ装置1が $2^m \times n$ ビットのRAM機能型のメモリコア41を搭載した下部のメモリ装置40に置き換わり、さらにRAM用のライトイネーブル信号 WE が追加されている点に特徴を有している。RAM用のライトイネーブル信号 WE は、図1で示される独立ピン5に接続可能であり、上面のランド2と底面の半田ボール3は電気的に接続されていない。図2で示されるROM機能型のメモリコア11を搭載したメモリ装置1を上部に、図5で示されるRAM機能型のメモリコア41を搭載したメモリ装置40を下部に実装し、図6の接続図に示されるような接続を行う。図6を参照すると、1ビット長のチップセレクト信号 CS 、 m ビット長のアドレス信号 $A(m-1:0)$ 、1ビット長の予備アドレス信号 $A(m)$ 、 n ビット長のデータ信号 $D(n-1:0)$ が接続パターン4によって互いに共通にROM機能型のメモリコア11を搭載した上部のメモリ装置1及びRAM機能型のメモリコア41を搭載した下部メモリ装置40に接続されている。RAM用のライトイネーブル信号 WE はRAM機能型のメモリコア41を搭載した下部メモリ装置40に接続されている。RAM機能型のメモリコア41を搭載した下部メモリ装置40のセレクト端子 SEL は接地電位 GND に接続されている。ROM機能型のメモリコア11を搭載した上部のメモリ装置1のセレクト端子 SEL は $open$ になっている。チップセレクト信号 CS 、アドレス信号 $A(m-1:0)$ 、予備アドレス信号 $A(m)$ 、及びデータ信号 $D(n-1:0)$ はさらに制御回路51に接続されている。制御回路51は、少なくとも制御回路21の2倍以上の容量のROM機能型のメモリコア11を制御できる機能を有している。

【0024】第2実施形態のメモリパッケージ100では、予備アドレス信号 $A(m)$ が論理値 L （接地電位 GND ）の時はRAM機能型のメモリコア41を搭載した下部のメモリ装置40が $2^m \times n$ ビットのRAM動作を行い、予備アドレス信号 $A(m)$ が論理値 H （電源電位 V_{DD} ）の時はROM機能型のメモリコア11を搭載した上部のメモリ装置1が $2^m \times n$ ビットのROM動作を行うことになり、一段実装時と同じ実装面積で、2種類以上の同容量のメモリ機能（ROM機能とRAM機能）を実現できることになる。

【0025】以上説明したように、第2実施形態によれば、従来と同じ実装面積で従来に比べて2倍以上のメモリ容量を実現できる。その理由は、図1、6に示すように、RAM機能型のメモリコア41を搭載したメモリ装置40のパッケージ上面（装置載置面）にランド2を設け、ランド2上にさらにROM機能型のメモリコア11を搭載したメモリ装置1を2段縦積み（1段または3段以上の縦積みも可）に実装できるようにし、かつ上部／下部のメモリ装置（ROM機能型のメモリコア11を搭載したメモリ装置1／RAM機能型のメモリコア41を

搭載したメモリ装置40)のアドレス領域が重ならないような制御を実行する内部回路をROM機能型のメモリコア11を搭載した上部のメモリ装置1及びRAM機能型のメモリコア41を搭載した下部のメモリ装置40に設けたためである。

【0026】なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内において、各実施形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができ、また、各図において、同一構成要素には同一符号を付している。

【0027】

【発明の効果】本発明は以上のように構成されているので、従来と同じ実装面積で従来に比べて2倍のメモリ容量を実現できる。その理由は、メモリ装置(ROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置)のパッケージ上面(装置載置面)にランドを設け、ランド上にさらにメモリ装置(ROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置)を2段(1段または3段以上も可)縦積み実装できるようにし、かつ上部/下部のメモリ装置(ROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置)のアドレス領域が重ならないような制御を実行する内部回路をメモリ装置(ROM機能型のメモリコアを搭載したメモリ装置またはRAM機能型のメモリコアを搭載したメモリ装置)に設けたためである。

【図面の簡単な説明】

【図1】本発明にかかるメモリ装置(ROM機能搭載型のメモリ装置またはRAM機能搭載型のメモリ装置)、及びメモリ装置(ROM機能搭載型のメモリ装置またはRAM機能搭載型のメモリ装置)が上下に重畳されて成るメモリパッケージのイメージ図である。

【図2】ROM機能型のメモリコアを搭載した図1のメ*

*メモリ装置の内部回路構成を示す回路図である。

【図3】図2のROM機能型のメモリコアを搭載した図1のメモリ装置を1段のみ実装したメモリパッケージの接続図である。

【図4】図2のROM機能型のメモリコアを搭載した図1のメモリ装置を2段(1段または3段以上も可)縦積みにしたメモリパッケージの接続図である。

【図5】RAM機能型のメモリコアを搭載した図1のメモリ装置の内部回路構成を示す回路図である。

【図6】図2のROM機能型のメモリコアを搭載した上部のメモリ装置及び図5のRAM機能型のメモリコアを搭載した下部メモリ装置を2段(1段または3段以上も可)重ねにしたメモリパッケージの接続図である。

【図7】従来技術のメモリ装置の回路図である。

【符号の説明】

1…メモリ装置

2…ランド

3…半田ボール

5…独立ピン

20 11…ROM機能型のメモリコア

12、42…ブルアップ抵抗

13、43…EXOR回路

14、44…AND回路

21、31、51…制御回路

40…メモリ装置

41…RAM機能型のメモリコア

100…メモリパッケージ

A(m)…予備アドレス信号

A(m-1:0)…アドレス信号

30 CS…チップセレクト信号

D(n-1:0)…データ信号

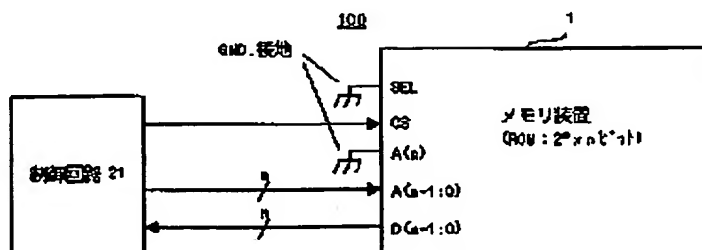
GND…接地電位

SEL…セレクト信号

V_{DD}…電源電位

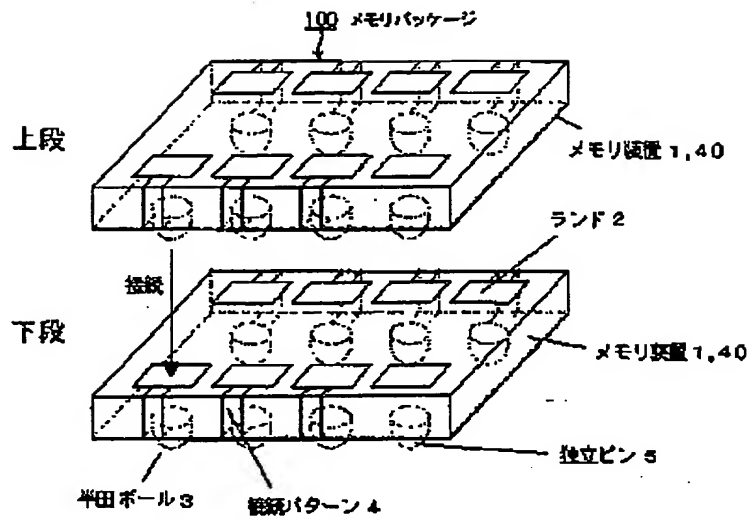
WE…RAM用のライトイネーブル信号

【図3】

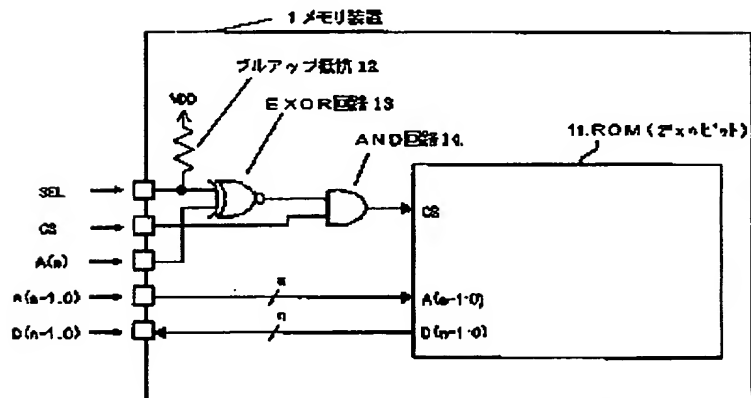


100 メモリパッケージ

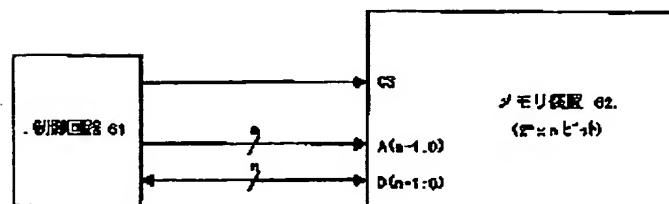
【図1】



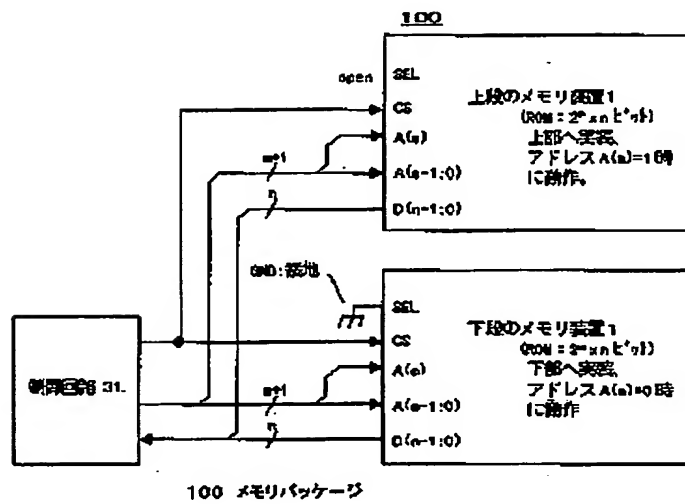
【図2】



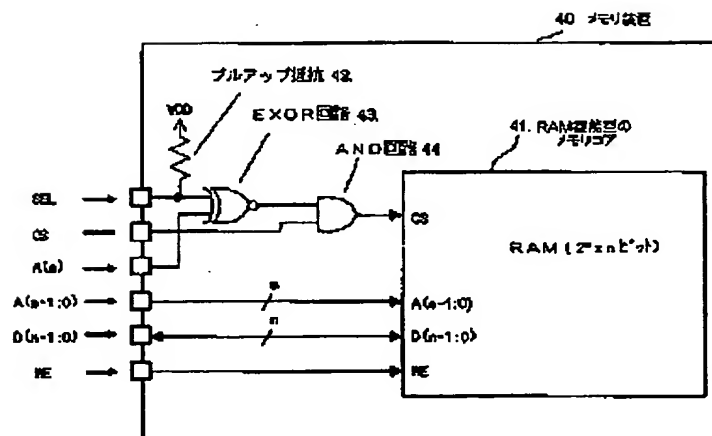
【図7】



【図4】



【図5】



【図6】

